

PAT-NO: JP409266236A
DOCUMENT-IDENTIFIER: JP 09266236 A
TITLE: SEMICONDUCTOR DEVICE MANUFACTURING METHOD
PUBN-DATE: October 7, 1997

INVENTOR-INFORMATION:
NAME
WAKE, MITSUYASU

ASSIGNEE-INFORMATION:
NAME ROHM CO LTD COUNTRY
N/A

APPL-NO: JP08129386
APPL-DATE: May 24, 1996

INT-CL (IPC): H01L021/66, H01L021/02, H01L021/52, H01L021/301

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the pickup efficiency of elements divided from a wafer by a hardening resin is coated according to the electric characteristic of a divided element surface, separating those elements not coated with this resin and picking up and die-bonding them.

SOLUTION: A wafer 1 is laid on a stage, the electric characteristics of selected elements are measured one after another, the wafer 1 supported on a resin tape 6 is fully cut like a grid from the surface, an UV-setting resin is spread on the surface of those elements not meeting required characteristics and hardened by an ultraviolet ray, the tape 6 is expanded through the periphery of an expandable ring 9 to separate divided elements from each other and the elements at the coated region are peeled off from the tape 6, the elements are knocked up by knockout pins 10, picked up by a suction collet and moved to lead frame tabs of a work to be bonded.

COPYRIGHT: (C)1997, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-266236

(43)公開日 平成9年(1997)10月7日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L	21/66		H 01 L	21/66
	21/02			A
	21/52		21/02	A
	21/301		21/52	F
			21/78	Y

審査請求 未請求 請求項の数 3 OL (全 5 頁)

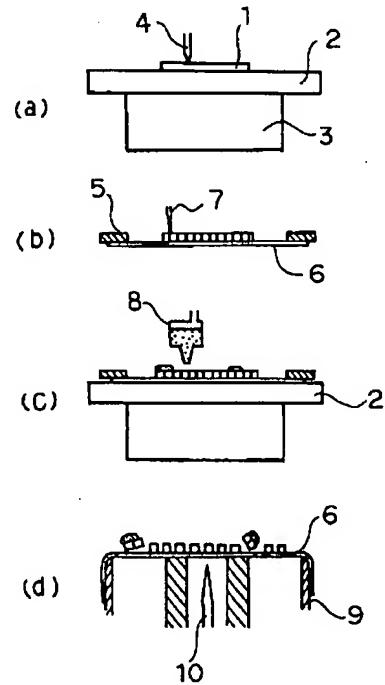
(21)出願番号	特願平8-129386	(71)出願人	000116024
(22)出願日	平成8年(1996)5月24日		ローム株式会社
(31)優先権主張番号	特願平8-10461		京都府京都市右京区西院溝崎町21番地
(32)優先日	平8(1996)1月24日	(72)発明者	和氣 三泰
(33)優先権主張国	日本 (JP)		岡山県笠岡市富岡100 ワコー電器株式会社内

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の製造において、ウエハから分割された素子のマーキング及びピックアップに要する時間を短縮化する。

【解決手段】 ウエハから分割した素子の電気的特性の測定の結果に応じて選択された複数の素子を跨ぐように硬化性樹脂を連続状に塗布する。



【特許請求の範囲】

【請求項1】半導体ウエハに形成した複数の素子のうち選択されたものについて電気的特性の測定を行うと共に前記ウエハを分割し、分割した素子の表面に前記測定の結果に応じて硬化性樹脂を連続状に塗布し、塗布した硬化性樹脂を硬化させた後硬化性樹脂が塗布されていない素子を相互に離間した状態でピックアップ及びダイボンディングすることを特徴とする半導体装置の製造方法。

【請求項2】前記製造方法は前記ウエハを伸張性の樹脂テープに貼着する工程をさらに含み、前記素子の離間は前記樹脂テープの伸張により行う請求項1に記載の半導体装置の製造方法。

【請求項3】前記電気的特性の測定は、前記ウエハの前記樹脂テープへの貼着の工程の前、前記ウエハの前記樹脂テープへの貼着と前記ウエハの分割の工程の間、または、前記ウエハの分割と前記硬化性樹脂の塗布の工程の間、のいずれかに行う請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、ウエハから分割形成される個別半導体装置の製造方法に関する。

【0002】

【従来の技術】ダイオードやLED等の個別半導体装置は、ウエハの状態で不純物の拡散やエッチング並びに金属電極膜の形成等の工程を連続的に施した後、個別の素子に分割してダイボンディングや樹脂封止等を実施することにより製造されている。これらの複数の素子はシリコン等の半導体材料から成るウエハ内に上述のような共通の工程を経て一括的に形成されるのであるが、ウエハ自体には不純物の偏析やマクロレベルでの欠陥等が不可避的に介入するため、作り込まれる素子は、たとえ共通の工程により形成したとしても、ウエハの領域により電気的特性の微妙なばらつきが素子間に生じる。

【0003】このため、ウエハに作り込まれた素子は、一般に、個別に分割されるに先だって、それぞれの素子表面に測定用のプローブやこれに接続されたテスタ等を使用して電気的特性を測定することにより素子としての所要の特性要件を満足するか否かの良否の判別や素子の特性上の分類を行っている。とりわけ、良否の判別に際しては、ウエハ内の全ての素子について一定項目の電気的特性の測定を実施した上で、所要の特性を満足しない素子については「否」と判別している。ここで、「否」と判別された素子は、図3に示すように、顔料を混入したインク樹脂をドット状に塗布し及び硬化させてマーキングを施した後、伸張可能な樹脂から成る樹脂テープ上に貼着した状態でダイシングブレード等を使用したカットにより個別素子に分割後、エキスパンド装置等を利用して樹脂テープの伸張により素子間を相互に離間させた状態で、素子表面のマーキングの有無を光学的に認識し

ながら「良」と判定されマーキングが付されていない素子のみを選択的にリードフレームのタブ上やまたは基板の搭載箇所にダイボンディングすることにより半導体装置を製造している。

【0004】他方、近年では、半導体製造技術の発展や小型化への要望に伴い各種の半導体素子も微細化の一途をたどり、場合によっては単一のウエハに数万個にも及ぶ莫大な個数の素子が形成されるに至っている。

【0005】

10 【発明が解決しようとする課題】しかし、単一のウエハ上により多数の素子を形成する場合、素子ごとの電気的特性の測定やその測定に基づく良否の判別やそのマーキングに要する時間は素子数の増大に伴って大幅に増大する。とりわけ、ドット状のマーキングについては、通常、インク樹脂を収容したシリジンとマーキングを施すべき素子との間を各素子ごとにX、Y、及びZの3方向に相対的な移動及び位置合わせを行いながら個別にドット状のインクマーキングを施しているため、場合によっては7~8時間程度もの時間をマーキングに要する場合がある。

20 【0006】また、このようにドット状のマーキングを施した後も、ダイボンディングのために素子をピックアップする場合、測定の段階で「否」と判別された素子も含めて全素子に対してカメラを介してマーキングの有無を識別し、マーキングの付されていないと認識された素子についてのみ選択的にピックアップやダイボンディングを行っているので、この段階でもまた無駄な時間が要されている。

【0007】従って、本発明は、ウエハから分割された素子のピックアップの効率を向上させた半導体装置の製造方法を得ることを目的とする。

【0008】

【課題を解決するための手段】請求項1の半導体装置の製造方法は、半導体ウエハに形成した複数の素子のうち選択されたものについて電気的特性を測定を行うと共にウエハを分割し、分割した素子の表面に測定の結果に応じて硬化性樹脂を連続状に塗布し、塗布した硬化性樹脂を硬化させた後硬化性樹脂が塗布されていない素子を相互に離間した状態でピックアップ及びダイボンディングすることを特徴とする。

【0009】このため、硬化性樹脂の塗布は、全素子について電気的測定およびそれに対するマーキングを行うのではなく、選択的に電気的測定を行い判別を得た素子、例えば「否」と判別された素子、に沿って硬化性樹脂を連続状に行うことができるので、塗布に要する時間を大幅に短縮することができる。請求項2の半導体装置の製造方法は、請求項1の方法において、ウエハを伸張性の樹脂テープの貼着する工程を更に含み、素子の離間は樹脂テープの伸張により行うように構成される。

40 50 【0010】本発明方法をこのように実施することによ

り、容易に本発明を実施することが可能になる。請求項3の半導体装置の製造方法は、請求項2において、電気的特性の測定を、ウエハの樹脂テープへの貼着の工程の前、ウエハの樹脂テープへの貼着とウエハの分割の工程の間、または、ウエハの分割と硬化性樹脂の塗布の工程の間、のいずれかに行うように構成される。

【0011】本発明方法をこのように実施することにより、工程の自由度は増大され、形成する素子やウエハの種類や構造に応じた方法の実施が可能になる。

【0012】

【発明の実施の形態】次に、本発明による半導体装置の製造方法について、図1及び図2を参照しながら詳細に説明する。本発明の製造方法では、まず、表面に複数の電子素子が形成された半導体ウエハを準備する。ウエハとしては、例えば、ダイオード用のP型及びN型の拡散領域や金属電極が形成された素子が多数、例えば数万个、表面に形成されたシリコン製の、例えば4インチの、ウエハを使用し得る。

【0013】このようなウエハを準備したら、図1(a)に示すように、ウエハ1をテーブル2を介してX、Y、及びZ方向に移動可能なステージ3上に搭載した状態で特性測定用のプローブ4を上方より用いて行方向及び列方向に、例えば、5素子ごとに選択した素子について電気的特性の測定を順次行う。測定する電気的特性としては、製造する素子の仕様や規格に応じて要求される電圧値や電流値等の範囲を予め決定しておく。

【0014】ここで、ウエハ内の不純物の偏析等に起因する電気的特性のばらつきは、一般に、断続的にではなく連続的に生じるため、測定は必ずしも全数の素子について実施しなくとも、上述のように、素子を選択的に測定することにより電気的特性上の良否等をほぼ推定でき、概ねの良否判別や特性上の選別が可能となる。ステージ3及びプローブ4は図示しない制御装置及びこれと接続して設けられた記憶手段、例えばフロッピディスク、に電気的に接続されており、測定により得られた各素子についての特性値及びそれらに基づく判定結果としての「良」(要求特性を満足)及び「否」(要求特性を不満足)に関するデータは図2に示されるウエハ1端面に設けられた、図2中に示される、オリフラ(Orientation Flat)面1aを基準とする各素子の位置データに関連して記憶手段に記憶保存される。

【0015】素子の特性測定を終了したら、図1(b)に示すように、ウエハ1をその裏面にて円環状のフラットリング5に取付けられた伸張性の樹脂テープ6上にフラットリング5に同心状になるように貼着する。樹脂テープ6はその表面に粘着性の層が形成されているので、ウエハ1はテープ6上に容易に貼着することができる。

【0016】次いで、このように樹脂テープ6上に支持したウエハ1をその表面側からダイシングブレード7を使用して、図2に最も示されるように、格子状のフル

カットによる分割を施すことにより、例えば1辺約3mの、立方体状の個別化されたダイオード素子が得られる。このようにウエハ1を分割したら、図1(c)に示すように、フラットリング5ごとステージ3のテーブル2上に固定して、ステージ3をX及びY方向(水平方向)またはX、Y、及びZ方向(水平及び垂直方向)に移動させながらシリジ8内に収容した硬化性の液状樹脂、例えばUV硬化性樹脂、を上述の測定で「否」と判定された素子の表面に沿って連続状に塗布する。塗布

10 は、分割された素子間を跨ぐように行い、より具体的には、図2に示す例のように、上述の測定により求められた素子位置や良否等の判別データに関する記憶手段及び制御装置からの電気信号に基づいて測定結果から「否」と判別された素子であってそれらの素子によりウエハ面上に画成される領域(以下「塗布領域」という)11に包含される素子の表面をステージ3をシリジ3に対してX及びY方向に位置合わせ及び移動することにより行う。

【0017】使用する硬化性樹脂としては、上述のよう20 な、紫外線の照射により簡易に硬化可能なUV硬化樹脂に代えて、加熱により硬化する熱硬化性樹脂も同様に使用可能である。このように硬化性樹脂を塗布したら、紫外線を上方から照射する等によって硬化させた後、図1(d)に示すように、通常のエキスパンドと同様に、樹脂テープ6をエキスパンド装置に取付けた状態でエキスパンド装置のエキスパンドリング9の外周を介して伸張させることにより分割した素子同士を離間する。この樹脂テープ6の伸張に際しては、特性測定時に「良」と判定された素子、即ち塗布領域外の素子、は伸張に伴い一定間隔で相互に離間される一方、塗布領域の素子同士は硬化した硬化樹脂を介して相互に接着されるため、離間が妨げられ樹脂テープ6から剥離される。

【0018】このような素子間の接着に際して、硬化樹脂の塗布厚さ等を適宜調整することにより樹脂テープ6の伸張により適当に破断される程度の強度で接着できる。そのため、多連状に接合された部分、例えば図2中のウエハ周縁塗布領域11a、については素子間の任意の箇所で分断されることになるので、エキスパンドに支障が生じることはない。

40 【0019】樹脂テープ6のエキスパンドにより剥離された素子は、例えばピンセット等を使用して、テープ6から容易に除去することができる。このように塗布領域の素子を除去したら、図示しないカメラにより離間された素子の位置及び存在を確認しながら、突き上げピン10により素子を突き上げると共に図示しない吸着コレットにより突き上げた素子をピックアップして被ボンディング体としてのリードフレームのタブ等に順次移送及び載置することによりダイボンディング工程を実施する。

【0020】このようにダイボンディングされた素子50 は、必要な組立工程、例えばワイヤボンディング工程や

樹脂封止工程等を施すことにより個別半導体装置が製造される。尚、本発明の方法では、特性判別を選択した素子について推定的に行うので、特性上本来「否」と判別されるべき素子も「良」と判別された素子と共に組立工程が施される可能性もあるが、組立工程を経た後の素子または装置は全数が通常の検査工程で必要な電気特性等検査により除去可能であり問題が生じることはほとんどない。

【0021】尚、上述した例では、素子の電気的特性の測定をウエハの樹脂テープへの貼着に先だって行ったが、測定はウエハに形成した素子の種類や構造、例えば裏面電極の有無やウエハ基板の材料等に応じて、上記ウエハの貼着と分割の工程の間、または分割と硬化性樹脂の工程の間等で実施することも可能であることはいうまでもない。

【0022】上述した例では、測定する素子を行方向及び列方向に5素子ごとに選択したが、このような選択は製造する半導体装置の仕様や規格に応じて適宜変更可能であることはいうまでもない。また、本発明方法は上述したような素子の良否の選別にかぎられるものではなく、測定による特性値に応じた級分け等についても適用可能である。

[0023]

【発明の効果】以上詳細に説明したように、本発明の方法によれば、硬化性樹脂の塗布は、全素子について電気的測定およびそれに対するマーキングを行うのではなく、選択的に電気的測定を行い判別を得た素子、例えば「否」と判別された素子、に沿って硬化性樹脂を連続状に行うことができるるので、塗布に要する時間を大幅に短縮することができる。

【0024】また、複数の素子が形成された後であって硬化性樹脂の塗布の前に半導体ウエハを伸張可能な樹脂テープ上に貼着し、硬化性樹脂の硬化後に樹脂テープを伸張させることにより素子を相互に離間させることにより、樹脂テープの伸張に伴い硬化性樹脂の硬化により固定された複数の素子は相互に離間されることなく樹脂テープから剥離されるので、樹脂テープ表面から容易に除去することができ、従って、これらの除去後に残る素子をピックアップ及びダイポンディングすることにより、これらに要する時間を大幅に短縮することができる。

【図面の簡単な説明】

【図1】本発明の製造方法の主要な工程を示す概略図である。

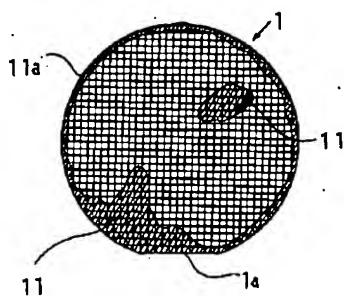
【図2】本発明の製造方法による硬化性樹脂の塗布の例を示す平面図である。

【図3】従来の方法によるインクマーキングの例を示す平面図である。

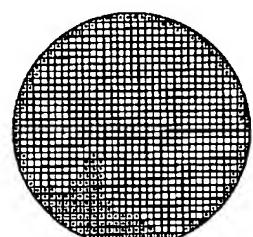
【符号の説明】

【1】テクノロジー
 1 半導体ウエハ
 20 2 テーブル
 3 ステージ
 4 プローブ
 5 フラットリング
 6 樹脂テープ
 7 ダイシングブレード
 8 シリンジ
 9 エキスパンドリング
 10 突き上げピン
 11 遷布領域

【図2】



〔図3〕



【図1】

